

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-084159  
(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

G06F 11/22  
G06F 1/32  
G06F 11/28

(21)Application number : 11-263019

(71)Applicant : HITACHI LTD  
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 17.09.1999

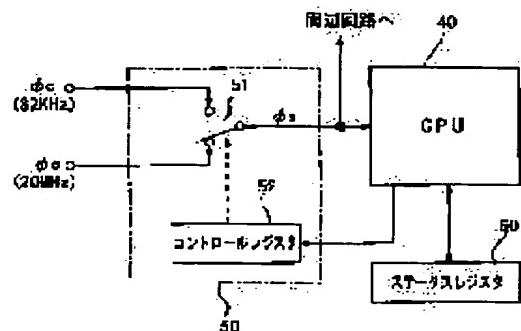
(72)Inventor : UJII TOMOYOSHI  
AOTO GIICHI  
IKEDA YUURI  
SUZUKI YOSHINORI  
KAWAMURA MASANOBU

## (54) EMULATOR AND MICROCOMPUTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To allow a microcomputer to quickly operate during break even when the break is generated in a low power consumption mode, and to exactly operate in the original low power consumption mode at the time of resuming a user program after the end of the break with respect to the emulator of a microcomputer having low power consumption.

**SOLUTION:** This emulator is provided with a setting means 52 which sets the frequencies of a clock signal and a state holding means 60 which holds information related with the frequencies of a clock generated by a clock control circuit 50 in a real time. When any break is generated during the emulation operation of a microcomputer according to a clock signal with low frequencies, a clock signal with high frequencies is generated by the clock control circuit during the break so that the microcomputer can be quickly operated, and after the end of the break processing, the contents of the state holding means are set in the setting means so that the frequencies of the clock signal can be restored, and the emulation operation can be resumed.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-84159

(P2001-84159A)

(43)公開日 平成13年3月30日 (2001.3.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マーク(参考)
G 0 6 F 11/22 1/32	3 4 0	G 0 6 F 11/22 11/28	3 4 0 A 5 B 0 1 1 3 1 5 A 5 B 0 4 2
11/28	3 1 5	1/00	3 3 2 Z 5 B 0 4 8

審査請求 未請求 請求項の数7 OL (全11頁)

(21)出願番号 特願平11-263019

(22)出願日 平成11年9月17日(1999.9.17)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 氏井 呂圭

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100085811

弁理士 大日方 富雄

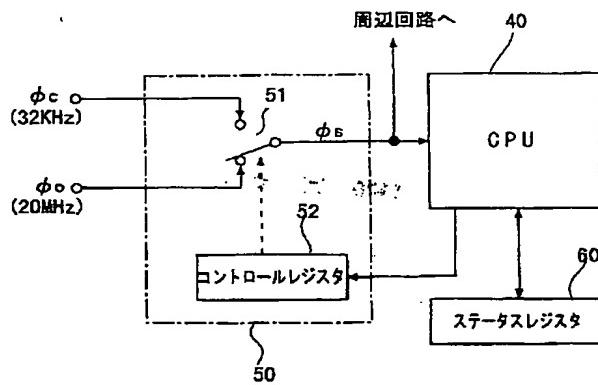
最終頁に続く

(54)【発明の名称】 エミュレータおよびマイクロコンピュータ

(57)【要約】

【課題】 低消費電力を有するマイクロコンピュータのエミュレータにおいて、低消費電力モードでブレークが発生してもブレーク中はマイクロコンピュータが高速で動作し、しかもブレークが終了してユーザ・プログラムを再開するときはマイクロコンピュータが正確に元の低消費電力モードで動作できるようにする。

【解決手段】 クロック信号の周波数を設定する設定手段(52)とクロック制御回路(50)により発生されるクロックの周波数に関する情報をリアルタイムに保持する状態保持手段(60)とを設け、低い周波数のクロック信号によってマイクロコンピュータがエミュレーション動作しているときにブレークが発生した場合にはブレーク中はクロック制御回路により高い周波数のクロック信号を発生させてマイクロコンピュータを高速で動作させ、ブレーク処理終了後に上記状態保持手段の内容を上記設定手段に設定してクロック信号の周波数を元に戻してエミュレーション動作を再開させるようにした。



## 【特許請求の範囲】

【請求項1】 2以上の周波数のクロック信号を選択的に発生可能なクロック制御回路を備え選択された周波数のクロック信号によって動作するように構成されたマイクロコンピュータのプログラムのエミュレーションを行なうエミュレータにおいて、クロック信号の周波数を設定する設定手段とクロック制御回路により発生されるクロックの周波数に関する情報をリアルタイムに保持する状態保持手段とを設け、低い周波数のクロック信号によってマイクロコンピュータがエミュレーション動作しているときにブレークが発生した場合には上記クロック制御回路により高い周波数のクロック信号を発生させてマイクロコンピュータを高速で動作させ、ブレーク処理終了後に上記状態保持手段の内容を上記設定手段に設定してクロック信号の周波数を元に戻してエミュレーション動作を再開させることとしたことを特徴とするエミュレータ。

【請求項2】 上記周波数の異なるクロック信号はそれぞれ別々の信号として上記クロック制御回路に供給され、該クロック制御回路は上記設定手段の設定状態に応じていずれかのクロック信号を選択して動作クロック信号とすることを特徴とする請求項1に記載のエミュレータ。

【請求項3】 上記クロック制御回路は、クロック発生回路と該クロック発生回路により発生されたクロック信号を分周もしくは遅倍する周波数変換回路とから構成されていることを特徴とする請求項1または2に記載のエミュレータ。

【請求項4】 エミュレーション動作中にクロック信号の周波数が切り換えられた場合にフェッチされる第1のベクタアドレスとブレーク中にクロック信号の周波数が切り換えられた場合にフェッチされる第2のベクタアドレスとが別々に設けられ、いずれのベクタアドレスをフェッチするか設定するためのベクタ切換え設定手段を備え、該ベクタ切換え設定手段の設定状態と割込み制御回路から出力されるベクタアドレスのフェッチを指示する信号とに基づいて第1または第2のベクタアドレスの一方をフェッチするように構成されてなることを特徴とする請求項1、2または3に記載のエミュレータ。

【請求項5】 プログラムの実行を任意の位置で停止可能なブレーク制御回路および2以上の周波数のクロック信号を選択的に発生可能なクロック制御回路を備え選択された周波数のクロック信号によって動作するとともにエミュレーション動作可能に構成されたマイクロコンピュータであって、クロック信号の周波数を設定する設定手段とクロック制御回路により発生されるクロックの周波数に関する情報をリアルタイムに保持する状態保持手段とを備え、低い周波数のクロック信号によってエミュレーション動作しているときにブレークが発生した場合にはブレーク中はクロック制御回路により高い周波数の

クロック信号が発生されて高速で動作し、ブレーク処理終了後に上記状態保持手段の内容が上記設定手段に設定されてエミュレーション動作が再開されるよう構成されることを特徴とするマイクロコンピュータ。

【請求項6】 上記エミュレーション動作中の内部状態もしくはエミュレーション結果を外部へ出力するインターフェース回路を備えてなることを特徴とする請求項5に記載のマイクロコンピュータ。

10 【請求項7】 請求項6に記載のマイクロコンピュータの内部メモリに記憶され上記エミュレーション動作を制御するプログラムが格納された媒体と、上記インターフェース回路を介して出力される信号を他のコンピュータ装置に伝送する伝送装置とからなることを特徴とするエミュレータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、エミュレータを用いたアプリケーションプログラムもしくはマイクロコンピュータ応用システムの評価さらには低消費電力モードを有するマイクロコンピュータを用いた応用システムもしくはそのアプリケーションプログラムのデバッグを行なうエミュレータに適用して有効な技術に関し、エバリューションチップを内蔵したインサーキット・エミュレータもしくはオンチップデバッグ方式のエミュレータのいずれにも適用可能な技術に関するものである。

## 【0002】

【従来の技術】マイクロコンピュータ応用システムの開発において、その応用システムのデバッグやそのシステムの詳細な評価を行なうため、ホストコンピュータ（パソコン）と応用システムとの間に設けて応用システムのプログラム（ユーザ・プログラム）のエミュレーションを行なうエミュレータが使用されている。

【0003】従来のエミュレータは、エミュレーション対象となる応用システムのマイクロコンピュータと同機能を有するマイクロコンピュータ（評価用のエバリューションチップ）やプログラムの実行を任意の位置（命令）で停止させることができるブレーク制御回路などを有し、この代行マイクロコンピュータにてユーザ・プログラムを実行、停止させながらユーザ・システムを制御し、ユーザ・プログラム実行中の応用システム上の信号を探取して解析することにより、ハードウェアおよびソフトウェアのデバッグを可能にしたインサーキット・エミュレータが一般的であった。このようなインサーキット・エミュレータに関して記載された文献の例としては、（株）オーム社、昭和59年11月30日発行の「LSIハンドブック」第562頁～563頁がある。

【0004】インサーキット・エミュレータは、エミュレータ本体から延設されたケーブルの先端に設けられたコネクタをユーザ・システムなどの応用システム上のマ

イクロコンピュータ用ソケットに接続してエミュレータ本体内のエバリュエーションチップにより応用システムを制御するため、信号の遅延が大きくなり高速なエミュレーションが行えないという不具合がある。そこで、ユーザ・システムに搭載されるマイクロコンピュータに、プログラムのブレーク機能やバス上の信号のトレース機能やエミュレーション制御機能、通信機能などを持たせて、自分自身でデバッグを行えるようにしたオンチップデバッグ方式のエミュレータが提案されこれが主流になると考えられる。

**【0005】**

【発明が解決しようとする課題】携帯電話等に用いられるマイクロコンピュータなどにおいては、待受け時にクロックの周波数を低下させて消費電力を抑えることができるよう設計されているものがある。このような低消費電力モードを有するマイクロコンピュータを用いたユーザ・システムのエミュレーションを行なう場合、従来のエミュレータにおいては、マイクロコンピュータが低消費電力モードで動作してユーザ・プログラムを実行しているときにブレークが発生すると、エミュレーション・プログラムの実行が低速のまま行なわれるよう構成されてしまっていた。そのため、ユーザ・プログラムやユーザ・システムの評価に要する時間が長くなり、システムの開発期間が長くなってしまうという問題点があった。

【0006】そこで、マイクロコンピュータが低消費電力モードで動作してユーザ・プログラムを実行しているときにブレークが発生したら、クロック周波数を戻してマイクロコンピュータが高速で動作してエミュレーション用プログラムを実行するように切り換えることを考えた。しかしながら、単にクロックを切り換えるだけでは、ブレーク解除後に低消費動作モードでユーザ・プログラムを再開させることができないことが明らかとなつた。

【0007】また、オンチップデバッグ方式のエミュレータにおいては、ユーザ・システムのマイクロコンピュータの通信機能を使用してホストコンピュータと通信を行ないながらエミュレーションを進めるが、転送クロックの周波数がシステムクロックの1/2以下でないと非同期の通信はできないため、システムクロックの周波数が低くされた低消費電力モードではこの条件を満たせなくなり通信不能となってしまう。この場合、システムクロックの周波数が低くされた低消費電力モードでは、転送クロックの周波数もシステムクロックに合わせて低下すれば一応通信は可能となるが、携帯電話等に用いられるマイクロコンピュータなどにおいては、通常モードでのシステムクロックの周波数(数10MHz)に対して低消費電力モードのシステムクロックは時計用の約32kHzのように極めて低い周波数のクロックが用いられる。そのため、このような極めて低い周波数クロックで

通信を行なったのでは、エミュレーションの所要時間が実用に耐えられないほど長くなってしまうという不具合が発生する。

【0008】本発明の目的は、エミュレーション対象となるシステムに用いられるマイクロコンピュータが動作クロックの周波数が低くされる低消費電力モードを有する場合において、低消費電力モードでブレークが発生してもブレーク中はマイクロコンピュータが高速で動作し、しかもブレークが終了してユーザ・プログラムを再開するときはマイクロコンピュータが正確に元の低消費電力モードで動作できるようにするエミュレーション技術を提供することにある。

【0009】本発明の他の目的は、エミュレーション対象となるシステムに用いられるマイクロコンピュータがエミュレーション機能を有するオンチップデバッグ方式のエミュレータにおいて、低消費電力モードでブレークが発生してもブレーク中はマイクロコンピュータが高速で動作することで、外部の装置との間で通信不能になるのを回避することができるエミュレーション技術を提供することにある。

【0010】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

**【0011】**

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記のとおりである。

【0012】すなわち、2以上の周波数のクロック信号を選択的に発生可能なクロック制御回路を備え選択された周波数のクロック信号によって動作するように構成されたマイクロコンピュータのプログラムのエミュレーションを行なうエミュレータにおいて、クロック信号の周波数を設定する設定手段とクロック制御回路により発生されるクロックの周波数に関する情報をリアルタイムに保持する状態保持手段とを設け、低い周波数のクロック信号によってマイクロコンピュータがエミュレーション動作しているときにブレークが発生した場合にはクロック制御回路により高い周波数のクロック信号を発生させてマイクロコンピュータを高速で動作させ、ブレーク処理終了後に上記状態保持手段の内容を上記設定手段に設定してクロック信号の周波数を元に戻してエミュレーション動作を再開させるようにしたものである。

【0013】上記した手段によれば、エミュレーション対象となるシステムに用いられるマイクロコンピュータが動作クロックの周波数が低くされる低消費電力モードを有する場合において、低消費電力モードでブレークが発生してもブレーク中はマイクロコンピュータが高速で動作し、しかもブレークが終了してユーザ・プログラムを再開するときはマイクロコンピュータが正確に元の低消費電力モードで動作できるようになる。

【0014】上記クロック制御回路は、周波数の異なるクロック信号がそれぞれ別々の信号として供給され、上記設定手段の設定状態に応じていずれかのクロック信号を選択して動作クロック信号とするものでも良いし、クロック発生回路と発生されたクロック信号を分周もしくは通常する周波数変換回路とから構成されているのであってもよい。本発明は、周波数の異なるクロック信号が外部から供給される方式ものでも内部で発生する方式のものでもいずれにも適用することができる。

【0015】また、エミュレーション動作中にクロック信号の周波数が切り換えられた場合にフェッチされる第1のベクタアドレスとブレーク中にクロック信号の周波数が切り換えられた場合にフェッチされる第2のベクタアドレスとを別々に設けるとともに、いずれのベクタアドレスをフェッチするか指定するための設定手段を設け、該設定手段の状態と割込み制御回路から出力されるベクタアドレスのフェッチを指示する信号とに基づいて第1または第2のベクタアドレスの一方をフェッチするように構成する。

【0016】これにより、正しいベクタアドレスのフェッチが行なわれるようになり、ブレーク処理終了後にブレーク前のプログラムに復帰する際にエミュレータがコントロール不能な状態になるのを回避することができる。

【0017】さらに、プログラムの実行を任意の位置で停止可能なブレーク制御回路および2以上の周波数のクロック信号を選択的に発生可能なクロック制御回路を備え選択された周波数のクロック信号によって動作するように構成されたエミュレーション動作可能なマイクロコンピュータにおいて、クロック信号の周波数を設定する設定手段とクロック制御回路により発生されるクロックの周波数に関する情報をリアルタイムに保持する状態保持手段とを備え、低い周波数のクロック信号によってエミュレーション動作しているときにブレークが発生した場合にはブレーク中はクロック制御回路により高い周波数のクロック信号が発生されて高速で動作し、ブレーク処理終了後に上記状態保持手段の内容が上記設定手段に設定されてエミュレーション動作が再開されるように構成する。

【0018】上記した手段によれば、エミュレーション対象となるシステムに用いられるマイクロコンピュータがエミュレーション機能を有するオンチップデバッグ方式のエミュレータである場合において、低消費電力モードでブレークが発生してもブレーク中はマイクロコンピュータが高速で動作することで、外部の装置との間で通信不能になるのを回避することができる。

【0019】

【発明の実施の形態】図1には本発明が適用されるエミュレータの第1の実施例の概略構成図が、また図2には本発明が適用されるエミュレータの第2の実施例の概略

構成図を示す。

【0020】図1の実施例のエミュレータは、エミュレーション対象のユーザ・システム20に搭載されるマイクロコンピュータと同等の機能を有しユーザ・プログラムをエミュレーションするためのエバリュエーション・チップからなるエミュレーション用マイクロコンピュータを内蔵したインサーキット・エミュレータ10を用いたいわゆるエバチップ方式のエミュレータである。

【0021】このエミュレーションでは、ユーザ・システム20上に設けられたマイクロコンピュータ接続用ソケット22Aには、インサーキット・エミュレータ10から延設されたケーブル23の先端のコネクタ24が結合されることで、インサーキット・エミュレータ10とユーザ・システム20とが接続される。

【0022】一方、図2の実施例のエミュレータは、エミュレーション対象のユーザ・システムに搭載されるマイクロコンピュータに、プログラムのブレーク機能やバス上の信号のトレース機能やエミュレーション制御機能、通信機能などを持たせて自分自身でデバッグを行えるようにしたオンチップデバッグ方式のエミュレータである。

【0023】図2のオンチップデバッグ方式のエミュレータにおいては、デバッグ機能を有するマイクロコンピュータ21が搭載されたユーザ・システム20のボード上に、マイクロコンピュータ21の通信ポートと接続されたソケット22が設けられ、このソケット22にはエミュレータ専用PCカード10Aから延設されたケーブル23Aの先端に設けられたコネクタ24が結合可能に構成されている。上記エミュレータ用専PCカード10Aは、もっぱらユーザ・システムのマイクロコンピュータ21とパーソナル・コンピュータなどのホストコンピュータ30との通信のためのインタフェース機能を有するものであり、このインタフェース機能として例えばJTAG (Joint Test Action Group) で規定している規格のインタフェース方式を採用することができ、これにより汎用性を持たせることができる。

【0024】図3には、図1のエバチップ方式のエミュレータにおける上記インサーキット・エミュレータ10の一構成例が示されている。

【0025】図3のインサーキット・エミュレータ10は、エミュレーション用マイクロコンピュータ11と、エミュレーションバスE-BUSを介して上記エミュレーション用マイクロコンピュータ11に接続されユーザ・システム20との接続を行なうユーザインタフェース部12、バスの切り替え等エミュレーション動作を制御するためのエミュレーション制御部13、エミュレーション中にユーザ・プログラムを所望のポイントで停止させるブレーク制御部14、ユーザ・プログラム実行中のエミュレーションバス11上の信号等を時系列的に記憶するトレースメモリ15、ユーザ・システムの任意のア

ドレスに割り付けて使用することができる代行メモリ(貸出しメモリ)16、ユーザ・プログラム停止時にエミュレーション用マイクロコンピュータ11が実行するプログラム等が格納されるエミュレータ制御用メモリ17と、システムバスS-BUSを介して上記エミュレーション制御部13、ブレーク制御部14、メモリ15、16、17に接続されエミュレータ全体を制御したりパソコン・コンピュータなどからなるホストコンピュータ30とのデータ通信制御を司るエミュレータ制御用マイクロコンピュータ18と、ホストコンピュータ30とのインターフェースを行なうI/Oインターフェース部19などから構成される。上記エミュレータ制御用マイクロコンピュータ18は、その機能をエミュレーション用マイクロコンピュータ11に兼用させることで省略することも可能である。

【0026】図4に本発明が適用されるエミュレーション用マイクロコンピュータのクロック制御部の一実施例が示されている。

【0027】この実施例のマイクロコンピュータは、外部から供給される例えば20MHzのような周波数の高い基準クロック $\phi_0$ またはそれよりも周波数の低い例えは時計用の約32kHzのサブクロック $\phi_c$ に基づいてCPU40等の動作クロックとなるシステムクロック $\phi_s$ を発生するクロック制御回路50を備え、動作モードに応じてクロックを切り換えて、通常の高速動作モードまたは低消費電力モードで動作できるように構成されている。

【0028】具体的には、クロック制御回路50は、基準クロック $\phi_0$ とサブクロック $\phi_c$ とを切り換えるスイッチ51と、該クロック切換えスイッチ41の状態を制御するコントロールレジスタ52とから構成され、CPU40が動作モードに応じてコントロールレジスタ52を書き換えることにより、クロック切換えスイッチ51が切り換えられる。通常動作モードでは、切換えスイッチ51で基準クロック $\phi_0$ を選択してCPU40等へシステムクロック $\phi_s$ として供給することでCPUは高速動作する。一方、携帯電話の待受け時等の低消費電力モードではサブクロック $\phi_c$ が切換えスイッチ51により選択されてCPU40等へシステムクロック $\phi_s$ として供給されることで、CPUは低速動作する。

【0029】さらに、この実施例では、上記コントロールレジスタ52と同様なビット構成を有するステータスレジスタ60が設けられており、実行中の動作モードに関する情報や分周比等最新の状態に関する情報がリアルタイムで保持されるように構成されている。コントロールレジスタの内容と実際のマイクロコンピュータの内部状態とは必ずしも一致しない(例えば、コントロールレジスタの書換え直後にブレークが発生した場合)ので、コントロールレジスタを参照しただけでは、ユーザ・プログラムのブレーク時にユーザ・プログラムがどのモー

ドにいるかCPUが知ることはできないが、ステータスレジスタ60を設けたことで、ブレーク時にユーザ・プログラムがどのモードにいるかCPUが知ることができるようになる。

【0030】なお、ブレーク時に保持されているステータスレジスタ60の値は、メモリのスタックエリア等に退避しておいて、ユーザ・プログラムに復帰する際にコントロールレジスタ52に設定される。ステータスレジスタ60のビット構成がコントロールレジスタ52のビット構成と同じにされていることにより、エミュレーション・プログラムがスタックエリアに退避しておいたステータスレジスタ60の値をコントロールレジスタ52に設定するときに解析等を行なうことなく容易に設定することができるようになる。

【0031】図5には、クロック制御回路50の他の実施例が示されている。この実施例のクロック制御回路50は、MHzオーダーの基準クロック $\phi_0$ を発生する発振回路53と、その基準クロック $\phi_0$ を分周して低消費電力モードで必要とされるkHzオーダーのクロックを分周回路54と、該分周回路54における分周比を設定するコントロールレジスタ52' とから構成されており、CPU40が動作モードに応じてコントロールレジスタ52' を書き換えることにより、クロック制御回路50からCPU40等へ供給されるシステムクロック $\phi_s$ の周波数が切り換えられるようになっている。発振回路53の代わりに、外部から供給される基準クロック $\phi_0$ の周波数を遙倍した信号を発生するPLL回路により構成することも可能である。その場合、コントロールレジスタ52' によってPLL回路の遙倍率を換えて低消費電力モードで必要な低い周波数のシステムクロック $\phi_s$ を発生させるようにすることができる。

【0032】さらに、図4と図5の回路を組み合わせて図6に示すようなクロック制御回路とすることもできる。このクロック制御回路は、外部端子に所定の固有振動数を有する水晶発振子が接続されて発振する発振器または外部から供給される基準クロック $\phi_0$ を遙倍してMHzオーダーの高い周波数のクロックを発生するPLL回路の機能を有するメインクロック発生回路55と、発振器で発生されたクロックを分周またはPLL回路の遙倍率を換える分周(遙倍)回路54と、分周されたクロックまたは外部より供給されるそれよりも周波数の低い例えは時計用の約32kHzのサブクロック $\phi_c$ のいずれかを切り換えてCPU40等へシステムクロック $\phi_s$ として供給するスイッチ51と、該スイッチ51を切り換えるためのコントロールレジスタ52および上記分周回路54の分周比を設定するための制御ビット56とから構成されている。この制御ビット56により分周回路54の分周比を設定することで、通常の動作周波数よりも低く時計用クロックのようなサブクロックによる低消費電力モードよりは動作周波数が高い中間動作速度の周

波数のクロックを発生してCPU40等へシステムクロック $\phi$ sとして供給させることができる。

【0033】なお、上記制御ビット56は、コントロールレジスタ52内に設けることも可能である。図示しないが、この実施例においても、CPU40には、コントロールレジスタ52と同様な構成を有し実行中の動作モードに関する情報や分周比等が保持されるステータスレジスタが設けられている。

【0034】図7に本発明が適用されるエミュレーション用マイクロコンピュータのベクタフェッチ制御部の一実施例が示されている。

【0035】この実施例のマイクロコンピュータには、動作モード切換時にフェッチするベクタアドレスの切換えを制御するベクタ切換え制御ビット71と、該ベクタ切換え制御ビット71からの制御信号VCCと割込み制御回路41からのベクタフェッチ信号VFCとを入力とするANDゲート回路72a, 72bとが設けられている。ベクタ切換え制御ビット71はCPU40によって書き換えが行なわれる。割込み制御回路41からベクタフェッチ信号VFCが出力されると、そのときのベクタ切換え制御ビット71の設定状態に応じて、それが“1”であるときはANDゲート回路72aからエミュレータ専用の直接遷移ベクタアドレスのフェッチを指示する信号が出力される。一方、割込み制御回路41からベクタフェッチ信号VFCが出力されたときにベクタ切換え制御ビット71の設定状態が“0”であるときは、ANDゲート回路72bから通常の直接遷移ベクタアドレスのフェッチを指示する信号が出力される。

【0036】上記ベクタ切換え制御ビット71は、ユーザ・プログラムのブレークが発生してマイクロコンピュータがエミュレーション・プログラムの実行へ移行するときにCPUによって“1”に設定される。

【0037】図8に上記ベクタ切換え制御ビット71の設定状態によって制御される直接遷移ベクタアドレスの切換えの様子が示されている。このうち図8(A)はユーザ・プログラム実行中に動作モードの切換えによりベクタアドレスのフェッチが発生した場合であり、ANDゲート回路72bから通常の直接遷移ベクタアドレスのフェッチを指示する信号が出力されることで、実行プログラムはユーザ・プログラム中の所定のとび先番地へジャンプする。一方、図8(B)はブレーク中すなわちエミュレーション・プログラム実行中に動作モードの切換えによりベクタアドレスのフェッチが発生した場合であり、ANDゲート回路72aからエミュレータ専用の直接遷移ベクタアドレスのフェッチを指示する信号が出力されることで、実行プログラムはエミュレーション・プログラム中の所定のとび先番地へジャンプする。

【0038】上記のようなベクタアドレスの切換え制御を行なわないと、エミュレーション・プログラムからユーザ・プログラムに復帰する際にコントロールレジスタ

52に元の動作モードや分周比（ステータスレジスタの値）を設定して動作モードを変更した（直接遷移を実行した）ときに、通常の直接遷移ベクタアドレスのフェッチを指示する信号が出力されてユーザ・プログラム中の所定のとび先番地へジャンプてしまい、エミュレーション・プログラムに復帰できなくなつてエミュレータがコントロール不能になり、例えばリターン命令の実行によるユーザ・プログラムのブレーク時の番地へ戻るようになることがなくなる。しかるに、図7に示すようなベクタ切換え制御ビット71を設けそれを適宜設定することにより、そのようなコントロール不能な状態に陥るのを回避することができる。

【0039】以下、本実施例のエミュレータにおいて、ユーザ・プログラムが低消費電力モードで動作中にブレークが発生した場合およびブレーク中の処理が終了してユーザ・プログラムの元のネストに復帰する場合の処理の手順を、図9のフローチャートを用いて説明する。

【0040】ユーザ・プログラムがブレークが発生すると、先ず、ブレーク制御回路に14によってブレーク用ベクタアドレスを参照してそのベクタアドレスの示すエミュレーション・プログラム上のブレーク処理ルーチンの先頭番地へジャンプしてブレーク処理を開始する（ステップS1）。次に、ステータスレジスタ60の値をメモリ上のスタックエリアに退避する（ステップS2）。そして、前述のベクタ切換え制御ビット71をエミュレータ専用直接遷移ベクタのフェッチに設定する（ステップS3）。それから、動作モードを切り換える命令実行等による直接遷移を発生させて最も周波数の高いシステムクロック $\phi$ sに切り換える（ステップS4）。これにより、ユーザ・プログラムが低消費電力モードで動作中にブレークが発生した場合にも、エミュレーション・プログラムは高速で実行されるようになる。

【0041】また、ステップS3でベクタ切換え制御ビット71を切り換えていたため、ステップS4で直接遷移を発生させても、通常の直接遷移ベクタでなくエミュレータ専用直接遷移ベクタのフェッチされる。これにより、図8(B)のようにユーザ・プログラムの飛び先にジャンプするのが回避され、エミュレーション・プログラムによるブレーク中の処理（ステップS5）が確実に実行されるようになる。

【0042】次に、ブレーク中の処理が終了してユーザ・プログラムの元のネストに復帰する場合には、先ずステップS2でメモリのスタックエリアに退避しておいたステータスレジスタ60の値をコントロールレジスタ52に設定する（ステップS6）。そして、動作モードを切り換える命令実行等による直接遷移を発生させる（ステップS7）。すると、ブレーク前のユーザ・プログラムの動作状態が低消費電力モード（あるいは中速モード）であれば、コントロールレジスタ52の設定値によりシステムクロック $\phi$ sが最も高い周波数からより低い

周波数に切り換えられ、以後マイクロコンピュータはこの低い周波数のシステムクロック  $\phi_s$  で動作する。また、このときにはまだベクタ切り換え制御ビット71はエミュレータ専用直接遷移ベクタのフェッチに設定されているので、ユーザ・プログラムの飛び先にジャンプすることはない。

【0043】そこで次に、ベクタ切り換え制御ビット71を通常の直接遷移ベクタのフェッチに設定する(ステップS8)。それから、リターン命令を実行する(ステップS9)。これにより、ユーザ・プログラムのブレーク前のネストに復帰するとともに、ユーザ・プログラムのブレーク前の動作モードが低消費電力モード(あるいは中速モード)であればマイクロコンピュータは低い周波数のシステムクロック  $\phi_s$  で動作することとなる。

【0044】次に、図2のオンチップデバッグ方式のエミュレータに本発明を適用した場合の実施例について説明する。

【0045】図10には、プログラムのブレーク機能やバス上の信号のトレース機能やエミュレーション制御機能、通信機能などのデバッグ機能を備えたマイクロコンピュータの一例の概略構成が示されている。特に制限されないが、図10に示されている各回路ブロックは、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体チップ上に形成されている。

【0046】図10に示されているように、この実施例のマイクロコンピュータは、プログラム制御方式の中央処理ユニットCPUと、CPUが実行するユーザ・プログラムや制御に必要な固定データを記憶するリード・オンリ・メモリROMと、CPUの作業領域を提供とともにプログラムの実行に伴って得られたデータを一時的に格納したりするためのランダム・アクセス・メモリRAMと、CPUに代わって乗算などの演算処理を行なう演算ユニットMULTと、CPUに代わって外部のハードディスク装置のような記憶装置と内部のRAMとの間でDMA(ダイレクト・メモリ・アクセス)方式のデータ転送を行なうDMAコントローラDMACとを備えている。これらの回路は、CPUアドレスバスIABおよびCPUデータバスIDBを介して接続されている。

【0047】この実施例のマイクロコンピュータには、上記CPUバスIAB、IDBとは別個に周辺アドレスバスPABおよび周辺データバスPDBが設けられている。この周辺アドレスバスPABおよび周辺データバスPDBには、所定の割込み要因の発生に基づいてCPUに対して割込み要求を行なう割込みコントローラINTC、エミュレーションの際にユーザーが指定したブレークポイントでCPUに対しプログラムの実行停止を要求したりするユーザ・ブレーク・コントローラUBC、アナログ・デジタル変換回路、外部装置との間でシリアル通信を行なうシリアルコミュニケーションインターフェース、時間管理用のタイマー回路などの周辺モジュールP

RM、外部装置との間の信号の入出力を行なう入出力ポートPORTが結合されている。なお、入出力ポートPORTにはCPUが接続されたCPUバスIAB、IDBも接続され、CPUもしくはDMACが直接外部装置とデータの授受を行なえるように構成されている。

【0048】また、上記CPUバスIAB、IDBと周辺バスPAB、PDBとの間には2つのバス上の信号のタイミングを調整してCPUと周辺モジュールとの間の信号の橋渡しをするバスステートコントローラBSCが設けられている。さらに、内部の動作に必要とされるクロックを発生するクロック制御回路CPGが設けられており、このクロック制御回路CPGには、外部端子EXTALを介して所定の固有振動数を有する水晶発振子XTALが結合される。クロック制御回路CPGは、外部の水晶発振子XTALとともに、その固有振動数に見合った所定の周波数・位相を有するクロック信号を形成し、PLL回路で遙倍して80MHzのクロック  $\phi_s$  とそれを4分周した20MHzのようなクロック  $\phi_p$  を形成しマイクロコンピュータの各部に供給する。

【0049】本実施例では、CPUには80MHzの基準クロック  $\phi_s$  が供給され、周辺モジュールPRMには基準クロック  $\phi_p$  よりも周波数の低い20MHzの周辺クロック  $\phi_p$  が供給されており、周辺モジュールPRMはCPUに比べて低速で動作するように構成されている。これとともに、クロック制御回路CPGにはコントロールレジスタが設けられており、このコントロールレジスタにCPUから動作モードや遙倍率等が設定されると、発生するクロック  $\phi_s$ 、 $\phi_p$  の周波数を下げて低消費電力モードに入るようになっている。

【0050】また、この実施例のマイクロコンピュータには、ユーザ・デバッグ・モードでユーザ・ブレーク制御回路UBCなどエミュレーションに関連する回路に対する制御信号を形成するエミュレーション制御回路EMC、エミュレーション中にアドレスバスIAB、PABやデータバスIDB、PDB上の信号を採取するためのトレースバッファTBF、外部からの制御信号や転送クロックを受けたり該転送クロックに同期してトレースバッファTBFに採取された内容を外部へ出力したりするユーザ・デバッグ・インターフェース回路UDI/Fが設けられている。そして、この実施例では、特に制限されないが、ユーザ・デバッグ・モードでユーザ・プログラムがブレークしたときに実行されるエミュレーション制御プログラムは、ユーザ・プログラムが格納されているROMもしくはRAMに格納され、CPUによって実行される。

【0051】この実施例では、上記クロック制御回路CPGが図6のように構成されコントロールレジスタ52や制御ビット56への設定でシステムクロック  $\phi_s$  の周波数を変えることができるようにされている。また、前記実施例と同様に、コントロールレジスタ52に対応し

それに応じた飛び先番地へジャンプするようにすれば良い。

【0055】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるインサーキット・エミュレータとオンチップデバッグ方式のエミュレータに適用した場合について説明したが、本発明はそれに限定されるものでなく、デバッガ、テスタ、シミュレータ等、エミュレーションもしくはシミュレーション機能を有するデータ処理システムに適用することができる。

#### 【0056】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0057】すなわち、エミュレーション対象となるシステムに用いられるマイクロコンピュータが動作クロックの周波数が低くされる低消費電力モードを有する場合において、低消費電力モードでブレークが発生してもブレーク中はマイクロコンピュータが高速で動作し、しかもブレークが終了してユーザ・プログラムを再開するときはマイクロコンピュータが正確に元の低消費電力モードで動作できるようになる。

【0058】また、エミュレーション対象となるシステムに用いられるマイクロコンピュータがエミュレーション機能を有するオンチップデバッグ方式のエミュレータにおいて、低消費電力モードでブレークが発生してもブレーク中はマイクロコンピュータが高速で動作することで、外部の装置との間で通信不能になるのを回避することができるようになる。

#### 【図面の簡単な説明】

【図1】本発明が適用されるエミュレータの一例としてのインサーキット・エミュレータを用いたエバチップ方式のエミュレータを示すブロック図である。

【図2】本発明が適用されるエミュレータの一例としてのオンチップデバッグ方式のエミュレータを示すブロック図である。

【図3】図1のエミュレータを構成するインサーキット・エミュレータの構成例を示すブロック図である。

【図4】エミュレーション用マイクロコンピュータのクロック制御部の一実施例を示すブロック図である。

【図5】クロック制御部の他の実施例を示すブロック図である。

【図6】クロック制御部のさらに他の実施例を示すブロック図である。

【図7】エミュレーション用マイクロコンピュータのベクタフェッチ制御部の一実施例を示すブロック図である。

【図8】ベクタ切換え制御ビットの設定状態によって制御される直接遷移ベクタアドレスの切換えの様子を示すメモリマップである。

たステータスレジスタ(60)が設けられ、CPUによって参照されるとともにブレーク時にはメモリにステータスレジスタの値が退避可能にされている。

【0052】さらに、この実施例においても、図7に示すようなベクタ切換え制御ビット71とANDゲート72a, 72bからなるベクタフェッチ信号切換え回路が、例えば上記エミュレーション制御回路EMC内に設けられている。ユーザ・プログラムが低消費電力モードで動作中にブレークが発生した場合およびブレーク中の処理が終了してユーザ・プログラムの元のネストに復帰する場合の処理の手順は、図9のフローチャートを用いて説明した前記実施例のエバチップ方式のエミュレータの場合と同じである。これにより、低消費電力モードでブレークが発生してもブレーク中はマイクロコンピュータが高速で動作し、しかもブレークが終了してユーザ・プログラムを再開するときはマイクロコンピュータが正確に元の低消費電力モードで動作できるとともに、ブレーク中に外部の装置との間で通信不能になるのを回避することができるようになる。

【0053】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、ベクタ切換え制御ビット71とANDゲート72a, 72bからなるベクタフェッチ信号切換え回路を設けているが、図11に示すように、エミュレーション制御回路13(EMC)からCPUやブレーク制御回路14(UBC)等に対して出力されるブレーク中すなわちエミュレーション動作中であることを示す信号EMを使用して、ブレーク中はANDゲート72aからエミュレータ専用の直接遷移ベクタアドレスのフェッチを指示する信号を、またユーザ・プログラム実行中はANDゲート回路72bから通常の直接遷移ベクタアドレスのフェッチを指示する信号を出力させるようにすることができる。

【0054】さらに、システムによってはエミュレータ専用の直接遷移ベクタアドレスを格納する領域を確保できない場合もある。そのような場合には、もともとエミュレータに用意されているブレーク発生時のブレークベクタアドレスを利用して、図12に示すように、図7の回路におけるANDゲート72aの後段にORゲート73を設け、ANDゲート72aの出力とブレーク発生時ブレーク制御回路14(UBC)から出力されるブレークベクタアドレスのフェッチ信号BFCとの論理和をとった信号をエミュレータ用ベクタアドレスのフェッチ信号として出力するように構成する。そして、この場合には、図8(C)に示すように、ブレークベクタアドレスでジャンプしたブレーク処理ルーチンの中で、通常のブレークベクタアドレスのフェッチかエミュレータ専用の直接遷移ベクタアドレスのフェッチかを判断して、それ

【図9】ユーザ・プログラムが低消費電力モードで動作中にブレークが発生した場合およびブレーク中の処理が終了してユーザ・プログラムの元のネストに復帰する場合の処理の手順を示すフローチャートである。

【図10】オンチップデバッグ方式のエミュレータを構成するデバッグ機能を備えたマイクロコンピュータの一例を示すブロック図である。

【図11】ベクタフェッチ制御部の他の実施例を示すブロック図である。

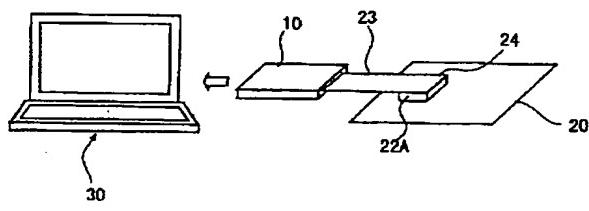
【図12】ベクタフェッチ制御部のさらに他の実施例を示すブロック図である。

【符号の説明】

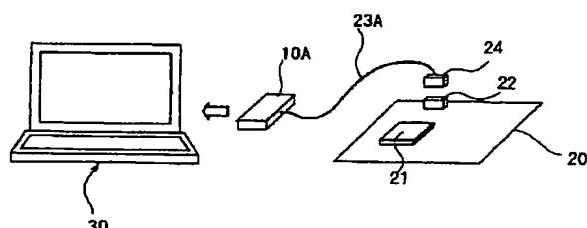
- 1 1 エミュレーション用マイクロコンピュータ
- 1 3 エミュレーション制御部
- 1 4 ブレーク制御回路
- 1 5 トレースメモリ
- 1 6 代行メモリ
- 1 7 エミュレーション制御用メモリ
- 1 8 エミュレーション制御用マイクロコンピュータ \*

* 2 0	ユーザ・システム
2 3	ケーブル
2 4	コネクタ
2 2, 2 2 a	ソケット
5 0	クロック制御回路
5 2	コントロールレジスタ（設定手段）
5 4	分周（倍速）回路（周波数変換手段）
6 0	ステータスレジスタ（状態保持手段）
7 1	ベクタ切換え制御ビット（ベクタ切換え設定手段）
C P U	中央処理ユニット
I N T C	割込み制御回路
U B C	ユーザ・ブレーク制御回路
E M C	エミュレーション制御回路
T B F	トレースバッファ
U D I / F	ユーザ・デバッグ・インターフェース
B S C	バスステートコントローラ
P R M	周辺モジュール
φ s	システムクロック（C P Uクロック）

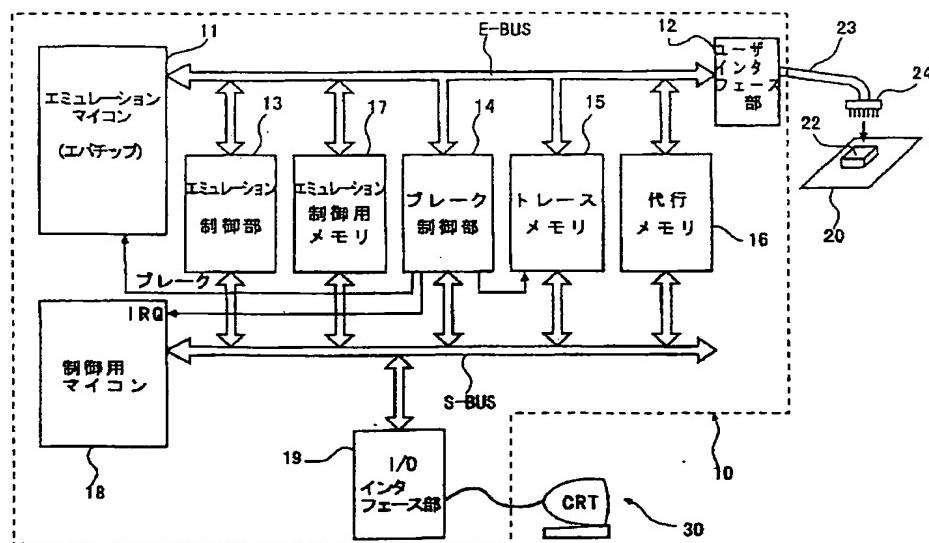
【図1】



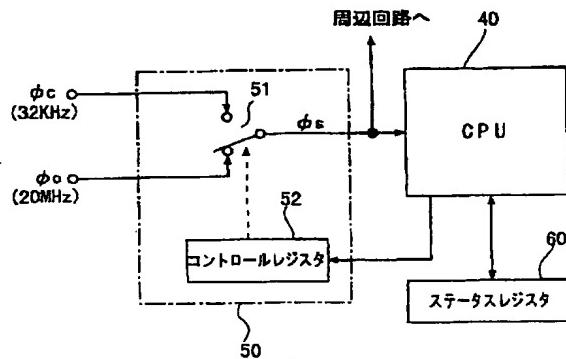
【図2】



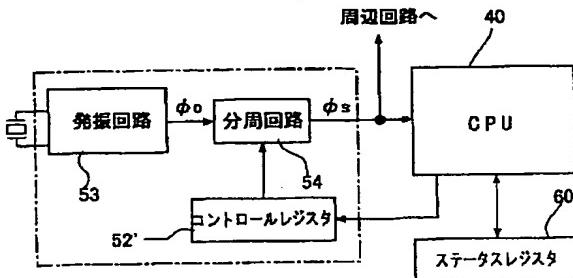
【図3】



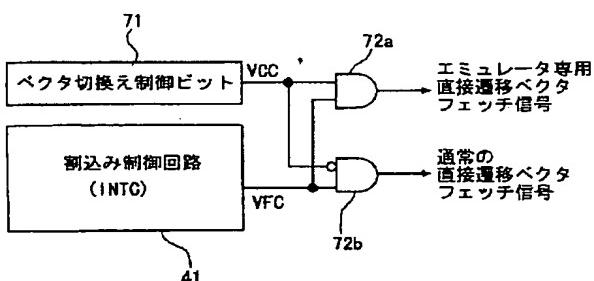
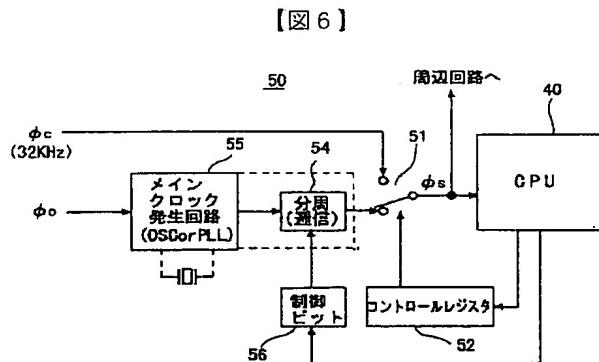
【図4】



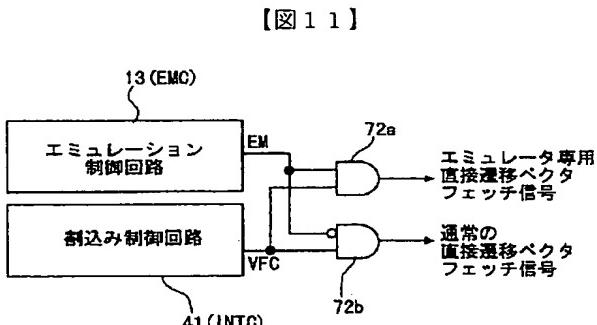
【図5】



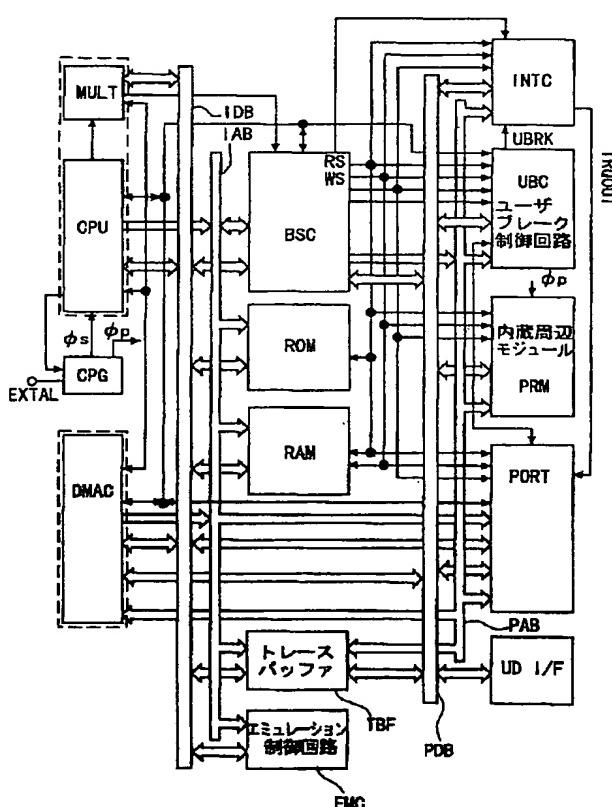
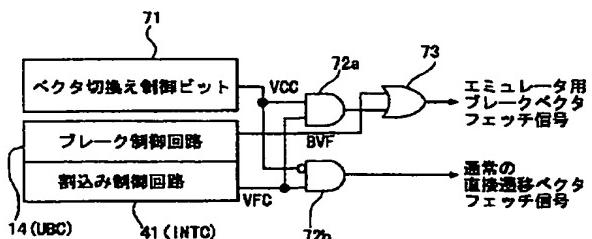
【図7】



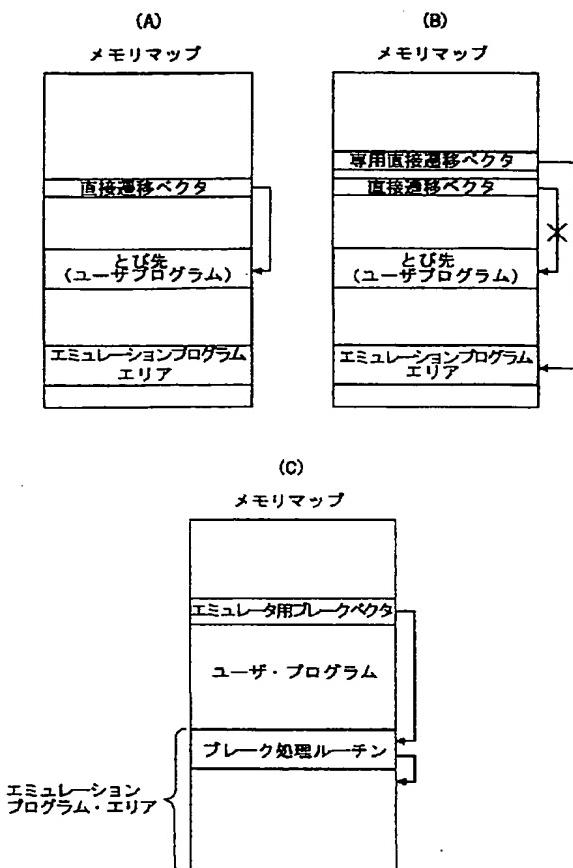
【図10】



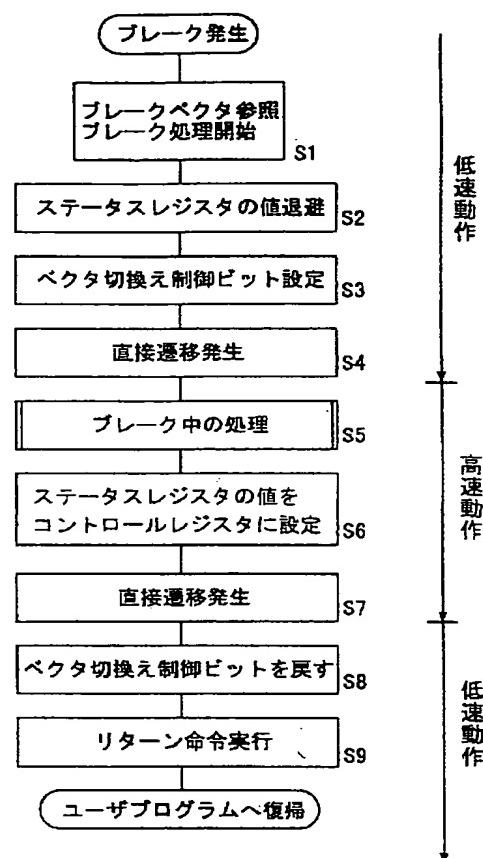
【図12】



【図8】



【図9】



フロントページの続き

(72) 発明者 青砥 義一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 池田 有里

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 鈴木 芳則

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72) 発明者 川村 正信

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

F ターム(参考) 5B011 EA08 LL13

5B042 HH03 HH25 HH30

5B048 AA13 BB02 DD07